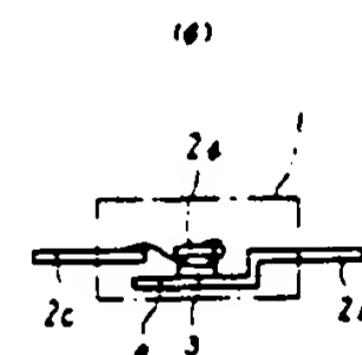
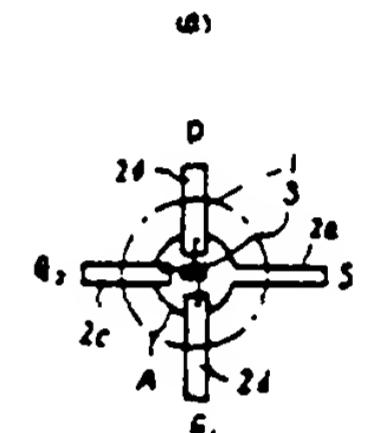


## (54) RESIN-SEALED SEMICONDUCTOR DEVICE

(11) Kokai No. 54-128274 (43) 10.4.1979 (19) JP  
 (21) Appl. No. 53-35509 (22) 3.29.1978  
 (71) HITACHI SEISAKUSHO K.K. (72) AKIRA MASUDA(1)  
 (52) JPC: 99(5)C22;99(5)C21  
 (51) Int. Cl<sup>3</sup>. H01L23/30,H01L23/48

**PURPOSE:** To reduce the feedback capacity for the device to be used suitably at the high frequency region by forming the tip of the lead for earth into a disk shape with the semiconductor pellet provided at the center of the disk and then covering the pellet and the tips of plural leads of the pellet.

**CONSTITUTION:** Tip A of lead 2a for source S is formed into a disk, and semiconductor pellet 3 is attached at the center of disk part A. Then lead 2b for drain D, lead 2c for 2nd gate G, and lead 2d for 1st gate G, are provided in three directions centering on pellet 3, and mold part 1 is formed covering over the tip parts of these leads as well as pellet 3. Here, the contact area is increased between part 1 and lead 2a for the source to be earthed, and the feedback capacity is reduced. Thus, the device can be used suitably at the high frequency region.



257/676

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

昭54-128274

⑫Int. Cl.<sup>3</sup>

H 01 L 23/30  
H 01 L 23/48

識別記号

⑬日本分類  
99(5) C 22  
99(5) C 21

厅内整理番号

7738-5F  
7357-5F

⑭公開 昭和54年(1979)10月4日

発明の数 1

審査請求 未請求

(全3頁)

⑮樹脂封止型半導体装置

⑯特 願 昭53-35509

⑰出 願 昭53(1978)3月29日

⑱發明者 増田章

高崎市西横手町111番地 株式  
会社日立製作所高崎工場内

⑲發明者 平保夫

高崎市西横手町111番地 株式  
会社日立製作所高崎工場内

⑳出願人 株式会社日立製作所

東京都千代田区丸の内一丁目5  
番1号

㉑代理人 弁理士 萩田利幸

明細書

発明の名称 樹脂封止型半導体装置

特許請求の範囲

1. 少なくとも接地端子として使用されるリードを含むリード群と、半導体素子とを有し、この半導体素子とリード先端部とを樹脂材料によつて封止してなる半導体装置において、前記接地端子として使用されるリードと前記樹脂封止体との接触面積を大きくすることによつて容量シールドを固つたことを特徴とする樹脂封止型半導体装置。

発明の詳細な説明

本発明は半導体装置、特に樹脂材料によつて素子群が封止された半導体装置（例えばレジンモールド型半導体装置）に関する。

最近、第1図に示すようなレジンモールドフラットパッケージ型トランジスタが提案されている。このトランジスタは素子基をレジン等の樹脂材料で封止した円筒形状の封止体（モールド）部1と、素子の電極に被覆され、かつモールド部1の四方

に突出するリード2とからなる。このトランジスタの内部構造は例えば、第2図(a)(b)、又は第3図(a)(b)のようになつている。

第2図はデュアルゲート型電界効果トランジスタ（以下単にデュアルゲートPETと称す）の内部構造を示すものであり同図(a)は平面図、同図(b)は正面図である。図中部標1がモールド部であり、2～24はリード、3は半導体ペレットである。このデュアルゲートPETは高周波特性が重いためテレビジョンに用いられるチューナORP（高周波アンプ）に用いられる。

第3図はバイポーラトランジスタの内部構造を示すものであり、同図(a)は平面図、同図(b)は正面図である。図中部標1がモールド部、2～24がリード、3は半導体ペレットである。ここで、それぞれリード2～23はコレクタ(C)、25はエミッタ(E)、24はベース(B)端子として使用されるが、残りのリード26は不使用端子(NC)である。このようなバイポーラトランジスタも高周波用として利用される。

かかる構造のトランジスタは倒止材料としてレジンを使用しているため、今迄のヤン倒止型トランジスタ（電子部を絶縁材料を介して金属材料で囲つた構造のトランジスタ）に比較して低価格化が図れること、さらには、モールド部1の側方から水平に4本のリードを突出させる、いわゆるフラットパッケージ型とすることにより、モールド部底面から下方にリードを突出させる今迄のトランジスタよりも、リード間の距離を長くすることができるため入、出力容量の減少化が図れる等の特徴を有する。

ところで、このようなレジンモールド型トランジスタにあつては、荷電容量が例えば0.15PFにもなり、ヤン倒止型のもの（例えば0.1PF）に比し10倍もの容量値を有することが判明した。これは、ヤン倒止型のものはヤン部を接地するような構造としていたため倒止部の荷電容量を小さくできるのに對し、レジンモールド型にあつてはこのようを容量シールドを行なつていないので、モールド部での荷電容量が大きくな

ることが原因と思われる。このため、レジンモールド型のトランジスタを高周波用として使用した場合、荷電容量が大きくなり寄生発振等を生じ、UHF帯、VHF帯の周波数領域での使用が不可能になるという問題を有する。

本発明はかかる問題を解決するためになされたものであり、その目的とするところは荷電容量を減少せしめることのできる倒止型半導体装置を提供することにあり、他の目的は高周波領域での使用に適したレジンモールド型トランジスタを提供することにある。

以下実施例により本発明を具体的に説明する。

第4図は、本発明をレジンモールド型デュアルゲートFETに適用した場合の一例を示す構造図であり、同図(a)は平面図、同図(b)は正面図である。同図(a)には、先端部Aが円板状に形成されたソース側用のリード2aと、このソース側用のリード2aの先端円板部A中央に取付けられた半導体ペレット3と、この半導体ペレット3を中心として3方に配設されるドレイン側用のリード2b、第1ゲート(G<sub>1</sub>)用の

リード2c、第1ゲート(G<sub>1</sub>)用のリード2d、及びこれらのリードの先端部と半導体ペレットとを接続するように形成されたモールド部1(図中斜線で示す)とからなるデュアルゲートFETが示されている。なお、各リードは半導体ペレット3の電極部と接続(ワイヤ)により接続される。そして、前記ソース側用リード2aは同図(b)に示すように先端部がL字状に折曲されており、このL字状先端部Aが他のリード2b～2dの先端部直下に位置するようにモールド部1の底面に配置されている。なお、このソース側用リード2aの他端は使用時には接地されることとなる。このようにして接地されるソース側用リード2aとモールド部との接触面積を大きくすることにより荷電容量を小さくすることができます。

第5図は本発明をバイポーラトランジスタに適用した場合の一例を示す構造図であり、同図(a)は平面図、同図(b)は正面図である。同図(a)には、先端部Aが円板状に形成されたリード2e(これはトランジスタの動作に關係のないリードN/Cである

る)と、このリード2eの円板状先端部Aを中心として3方に配設されるコレクタ(e)用のリード2f、エミッタ(e)用のリード2g、ベース(e)用のリード2hと、コレクタ用リード2fの先端部に端子に取付けられた半導体ペレット3、及びこれらを倒止するモールド部1(図中斜線部)からなるトランジスタが示されている。そして、前記リード2fは同図(b)に示すように、先端部AがL字状に折曲されており、このL字状先端部Aが他のリード2f、2g、2hの先端部直下に位置するようにモールド部1の底面に配置される。また、コレクタ用リード2fの幅広先端部は前記リード2eの円板状先端部Aの中央上部に位置するよう配設されている。また、通常は不使用リード2eの他端は接地される。このようにして接地されるリード2eとモールド部との接触面積を大きくすることにより荷電容量を小さくすることができます。

以上説明した本発明によれば、デュアルゲートFETにおいてはソース側端子の先端部の面積を

特開昭54-128274(2)  
つれる。このため、レジンモールドを高周波用として使用したときくなり寄生発振等を生じ、その周波数領域での使用が不可欠である。

問題を解決するためになされた目的とするところは漏電容量をできる衝撃抑制半導体保護り、他の目的は高周波領域でレジンモールド型トランジスタを。

本発明を具体的に説明する。  
レジンモールド型デュアルゲートの構造の一例を示す構造図であり、図(a)は正面図である。同図(a)に示すように形成されたソース側用のリード2aと先端円板部を半導体ペレット3と、この中心として3方に配設される2b、第2ゲート(O<sub>2</sub>)用の

大きくすることにより、また、バイポーラトランジスタにおいては不使用端子の先端部の面積を大きくすることにより、共にモールド部との接触面積を大とすることができますからモールド部の浮遊容量を減少させることができる。すなわち、リード先端部円板が容量シールドとして機能することとなる。ちなみに、本発明者等の実験によれば、漏電容量は0.012PFとなり、段階モニターリングのものと同一の値に抑えことができるという良好な結果が得られた。したがつて、かかるレジンモールド型トランジスタを高周波用として利用することが十分可能になる。

本発明は前記実施例に限定されない。例えば前記実施例では容量シールド部を円板形状としたが、これに限らず、モールド部との接触面積を大きくすることができるよう形状であればどのような形状でもつてもよい。また、先端部が円板状に形成されたリードは必ずしも使用時ににおいて直接接地される必要はなく、接地電位に近いよう位に保たれるようにをつていればよい。

特開昭54-128274(3)

本発明はフラットパッケージ型のものに限定されず、全てのレジンモールド型トランジスタに広く利用できる。

#### 図面の簡単な説明

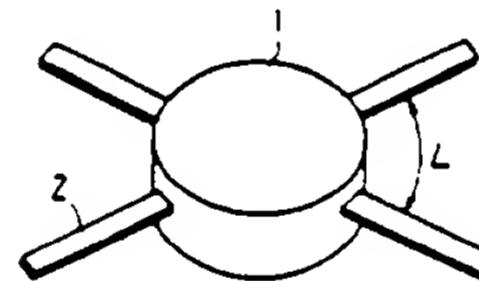
第1図はフラットパッケージ型トランジスタの構造を示す斜視図、第2図はデュアルゲートFETの構造の一例を示すものであり同図(a)は平面図、同(b)は正面図、第3図はバイポーラトランジスタの構造の一例を示すものであり同図(a)は平面図、同(b)は正面図、第4図は本発明をデュアルゲートFETに適用した場合の一例を示すものであり同図(a)は平面図、同(b)は正面図、第5図は本発明をバイポーラトランジスタに適用した場合の一例を示すものであり同図(a)は平面図、同(b)は正面図である。

1…モールド部、2…2a～2c…リード、3…ペレット。

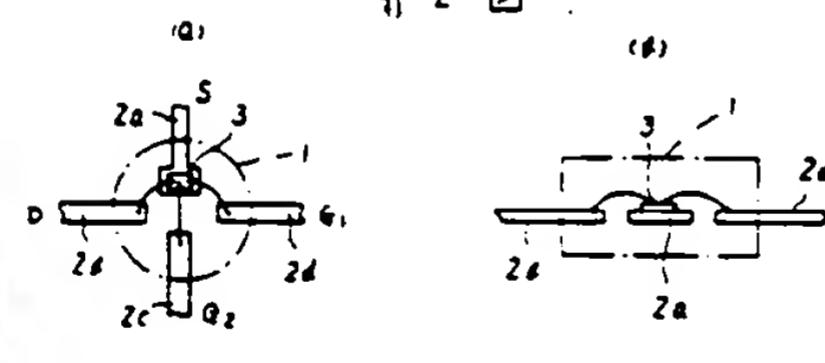
代理人弁護士 寺田利幸

2cの円板状先端部Aを中心とするコレクタ(c)用のリード2リード2b、ベース側用のクサ用リード2aの先端部が半導体ペレット3、及びこれらE1(図中銀線部)からなる。そして、前記リードのように、先端部AがL字状のL字状先端部Aが他のリードの先端部直下に位置するよ三部に配設される。また、コレクタ用リードは前記リードの中央上部に位置するようた、通常は不使用リードある。このようにして接地さヘド部との接触面積を大き容量を小さくすることができます。よれば、デュアルゲートス用端子の先端部の面積を

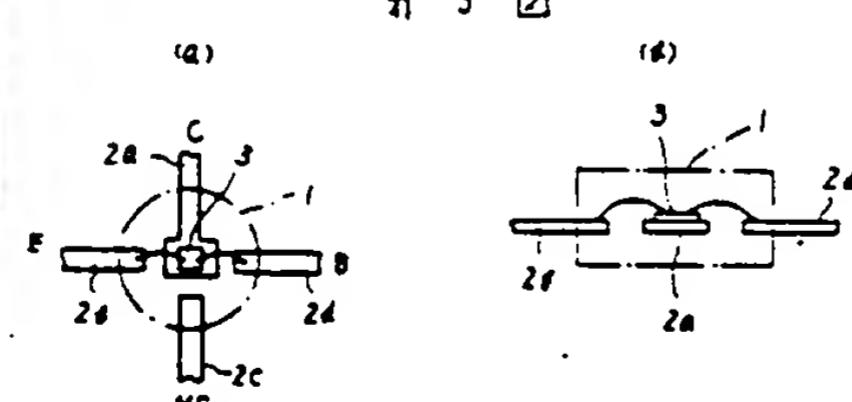
第1図



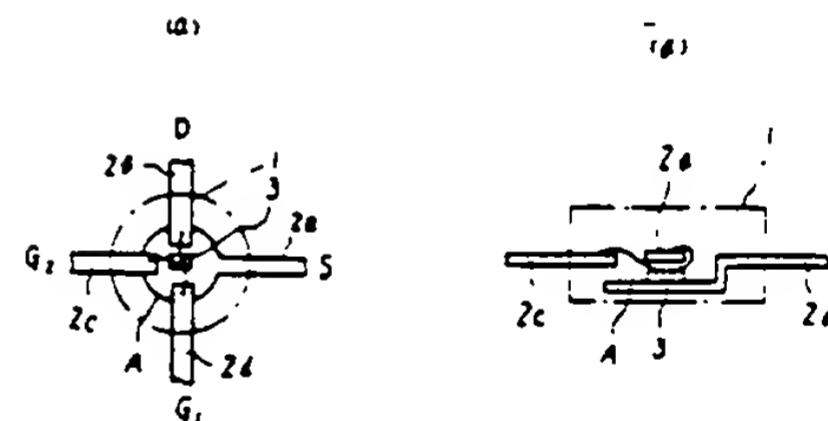
第2図



第3図



第4図



第5図

